

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 58001884
PUBLICATION DATE : 07-01-83

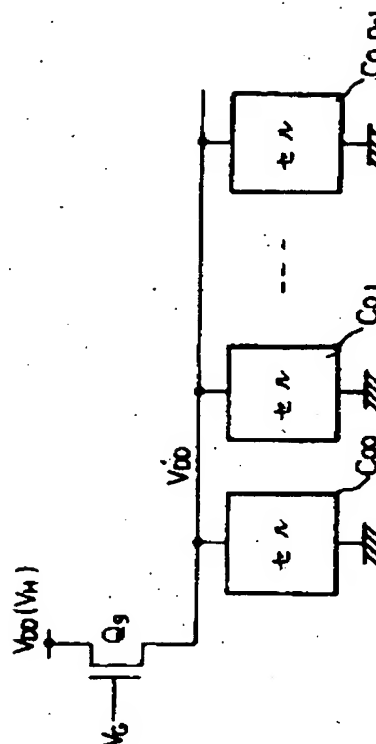
APPLICATION DATE : 29-06-81
APPLICATION NUMBER : 56099758

APPLICANT : FUJITSU LTD;

INVENTOR : FUJITA KOICHI;

INT.CL. : G11C 11/34 G11C 8/00

TITLE : POWER SUPPLYING SYSTEM OF STATIC RAM



ABSTRACT : **PURPOSE:** To reduce the overall power consumption, by setting the level of voltage which is supplied to a memory cell connected to a non-selected line lower than that of the voltage which is supplied to a memory cell connected to a selected line.

CONSTITUTION: The (n) units of memory cells $CO_0 \sim CO_{n-1}$ are connected to a word line. In this case, the voltage VDD' to be supplied to the memory cell is controlled by the voltage V_G that varies with the same phase as the potential of the word line. In other words, two different levels of supply voltage are obtained: $VDD' = VDD$ in the case of $V_G \geq VDD + V_{th}$ (VDD : power supply voltage; V_{th} : threshold voltage of transistor Q_9) and $VDD' = V_G - V_{th}$ in the case of $V_G < VDD + V_{th}$ respectively. Accordingly the high voltage VDD is supplied to the cells $CO_0 \sim CO_{n-1}$ in the selection mode of the word line. While in the non-selection mode of the word line, the low voltage $V_G - V_{th}$ is supplied to those cells. As a result, the power consumption of the memory cell is reduced to decrease the overall consumption of electric power for a static RAM.

COPYRIGHT: (C)1983, JPO&Japio

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58-1884

⑤ Int. Cl.³
G 11 C 11/34
8/00

識別記号

庁内整理番号
6549-5B
6549-5B

⑬ 公開 昭和58年(1983)1月7日

発明の数 1
審査請求 有

(全 6 頁)

⑭ スタティックRAMの電源供給方式

川崎市中原区上小田中1015番地

富士通株式会社内

① 特 願 昭56-99758

① 出 願 人 富士通株式会社

② 出 願 昭56(1981)6月29日

川崎市中原区上小田中1015番地

⑦ 発 明 者 藤田鋼一

⑦ 代 理 人 弁理士 青木朗 外 3 名

明 細 書

1. 発明の名称

スタティックRAMの電源供給方式

2. 特許請求の範囲

1. マトリクス状に配列された複数のメモリセルを具備するMOBスタティックRAMにおいて、非選択線に接続されたメモリセルの供給電源電圧を選択線に接続されたメモリセルの供給電源電圧より低くしたことを特徴とするスタティックRAMの電源供給方式。

2. 非選択線および選択線が、それぞれ、非選択ワード線および選択ワード線である特許請求の範囲第1項に記載のスタティックRAMの電源供給方式。

3. 非選択線および選択線が、それぞれ、非選択ビット線および選択ビット線である特許請求の範囲第1項に記載のスタティックRAMの電源供給方式。

3. 発明の詳細な説明

本発明はスタティックランダムアクセスメモリ

(本明細書では、スタティックRAMとする)に関する。特に、メモリセルへの電源供給方式に関する。

一般に、スタティックRAMにおいては、マトリクス状に多数のメモリセルが配列されており、通常、各メモリセルは双安定フリップフロップ回路によって構成されている。従って、各メモリセルの記憶状態すなわちフリップフロップ状態を保持するために、各メモリセルに所定の電源電圧が印加されている。従来、このようなメモリセルの電源電圧は常に一定であり、この結果、スタティックRAMの消費電力が大きいという問題点があった。

本発明の目的は、メモリセルの供給電圧を選択時および非選択時に応じて切替える、たとえば、非選択状態のメモリセルの供給電圧をこのメモリセルの記憶内容が反転しない程度まで引下げるといふ構想にもとづき、スタティックRAMの消費電力特に、メモリセルの消費電力を低減させ、前述の従来形における問題点を解決することにある。

以下、図面により本発明を説明する。第1図(A)、第2図(A)および第3図(A)は一般的なMOSステティックRAMのメモリセルを示す回路図である。いずれのメモリセルも、4つ乃至6つのトランジスタからなり、すなわち、交差結合したドライブトランジスタ Q_1 、 Q_2 、トランスファトランジスタ Q_3 、 Q_4 および2つの負荷からなる。この負荷は、第1図(A)の場合、ゲート-ドレイン短絡のエンハンスメント形トランジスタ Q_5 、 Q_6 であり、また、第2図(A)の場合、ゲート-ドレイン短絡のデプレッション形トランジスタ Q_1 、 Q_2 、さらに、第3図(A)の場合、抵抗 R_1 、 R_2 である。このような負荷とトランジスタ Q_1 、 Q_2 とは双安定のフリップフロップ回路を構成しており、このフリップフロップ状態すなわち記憶状態を保持するために、フリップフロップ回路には接地電圧(V_{ss})と電源電圧(V_{DD})とが印加されている。

上述の2つの電源間電圧すなわち V_{DD} とフリップフロップ回路に流れる総負荷電流 I_{DD} との関係を図1図(B)、第2図(B)および第3図(B)に示す。

第1図(A)のメモリセルの場合を示す第1図(B)においては、電源電圧 V_{DD} は、 $V_{DD} > 2V_{th}$ を満足しなければならない。ただし、 V_{th} はトランジスタ $Q_1 \sim Q_6$ の共通スレッシホールド電圧を示す。なお、ここでは説明を単純化するため、トランジスタのバックゲートバイアス効果による V_{th} の変化は特に考慮せず、 V_{th} は一定と考える(以下同じ)。また、第2図(A)のメモリセルの場合を示す第2図(B)においては、 $V_{DD} > V_{th}$ を満足しなければならない。ただし、 V_{th} はトランジスタ $Q_1 \sim Q_2$ の共通スレッシホールド電圧を示す。さらに、第3図(A)のメモリセルの場合を示す第3図(B)においても、 $V_{DD} > V_{th}$ を満足しなければならない。いずれの場合でも、電源電圧 V_{DD} が増加すれば、電流 I_{DD} も増加する。従来、このような電源電圧 V_{DD} を一定に且つあるヘイレベル V_s とえば V_s に設定していたために、電流 I_{DD} ($=I_s$)は大きく、従って、消費電流が大きかった。なお、第1図(A)、第2図(A)および第3図(A)において、WLはワード線、BL、 \overline{BL} はビット線を示す。

本発明によれば、メモリセルが選択時においては、電源電圧 V_{DD} をヘイレベル V_s に保持するが、メモリセルが非選択時においては、電源電圧 V_{DD} を記憶状態が反転しない程度のローレベル V_L に減少せしめ、これにより、非選択状態のメモリセルの消費電力を低減し、従って、RAM全体の消費電力を低減する。なお、実際には、1つの選択セルの電源電圧をヘイレベル V_s にし且つ他の非選択セルの電源電圧をローレベル V_L にすることは配線上から困難であり、従って選択ワード線もしくは選択ビット線に接続されたメモリセルの電源電圧をヘイレベル V_s にし且つ他の非選択ワード線もしくは非選択ビット線に接続されたメモリセルの電源電圧をローレベル V_L にしている。

第4図～第7図は本発明に係るステティックRAMの電源供給方式の第1、第2、第3および第4の実施例を示すブロック回路図である。第4図～第7図においては、1ワード線(図示せず)に接続された n 個のメモリセル $C_{0,0}$ 、 $C_{0,1}$ 、……、 $C_{0,n-1}$ を示してある。いずれの場合にあっても、

メモリセルの供給電圧 V_{DD}' はワード線電位と同位相で変化する電圧 V_0 によって制御される。

すなわち、第4図においては、

$V_0 \geq V_{DD} + V_{th}$ (V_{th} : トランジスタ Q_3 のスレッシホールド電圧)の場合

$$V_{DD}' = V_{DD} (=V_s)$$

$V_0 < V_{DD} + V_{th}$ の場合、

$$V_{DD}' = V_0 - V_{th} (=V_L)$$

の2種類の供給電圧が得られる。従って、ワード線の選択時には、高い電圧 V_{DD} がメモリセル $C_{0,0}$ 、 $C_{0,1}$ 、……、 $C_{0,n-1}$ に供給され、他方、ワード線の非選択時には、低い電圧 $V_0 - V_{th}$ がメモリセル $C_{0,0}$ 、 $C_{0,1}$ 、……、 $C_{0,n-1}$ に供給される。

第5図においては、電圧 V_0 と基準電圧 V_s との比較によって2つの供給電圧が得られる。すなわち、

$V_0 \geq V_s$ の場合、

$$V_{DD}' = V_0 - V_{th} \text{ または } V_{DD} \text{ のどちらか低い方 } (=V_L)$$

$V_0 < V_s$ の場合、

$$V_{00}' = V_0 - V_{1k} (= V_L)$$

の2種類の供給電圧が得られる。従って、ワード線の選択時には、高い電圧 $V_0 - V_{1k}$ または V_{00} のどちらか低い方がメモリセル C_{00}, C_{01}, \dots 、 C_{10}, C_{11} に供給され、他方、ワード線の非選択時には、低い電圧 $V_0 - V_{1k}$ がメモリセル C_{00}, C_{01}, \dots 、 C_{10}, C_{11} に供給される。また、第6図に於いては、第5図のトランジスタ Q_{11} の代りに n 個 (n は1以上の整数) のダイオード D_1, D_2, \dots, D_n を用い、低い供給電圧 V_{00}' を $V_{00} - n V_f$ (V_f はダイオードの順方向電圧) としたものである。また、第7図に於いては、別電源の電圧 V_{cc} を外部もしくは内部から供給するものである。すなわち、第5図、第6図および第7図に於いては、低い供給電圧は電圧 $V_0 - V_{1k}$ としてでなく、他の手段によって一定電圧として与えられるものである。

第8図は第4図の詳細な回路図であって、特に、電圧 V_0 がワード線電位と同位相で発生させるための回路例を示したものである。第8図に於いては、簡単にするために、2行、2列のメモリセル

$C_{00}, C_{01}, C_{10}, C_{11}$ を示してあり、メモリセル C_{00}, C_{01} はワード線 WL_0 に、メモリセル C_{10}, C_{11} はワード線 WL_1 に接続され、また、メモリセル C_{00}, C_{10} はビット線対 BL_0, \overline{BL}_0 に、メモリセル C_{01}, C_{11} はビット線対 BL_1, \overline{BL}_1 に接続されている。ワード線 WL_0, WL_1 の選択はデコーダ1およびドライバ2-0, 2-1によって行われる。各ドライバ2-0, 2-1には、本発明に係る電源供給方式を行うための供給電源切替回路3-0, 3-1が並列に接続されており、各切替回路は、トランジスタ Q_{11}, Q_{10}, Q_{11} およびキャパシタCからなるブートストラップ回路によって構成されている。なお、4は脱出し/書き込み回路である。

次に、第8図の回路動作を説明する。たとえば、ワード線 WL_1 が非選択状態にある場合を想定する。この場合、デコーダ1の出力電圧 V_{w0} はハイであり、従ってワード線電位 V_0 はローレベルとなり、各メモリセル C_{00}, C_{01} のトランスファトランジスタ Q_{00}, Q_{01} は閉成状態に保持される。他方、切替回路3-0に於いては、トランジスタ Q_{11} は導通状態

であり、従って、ノード N_1 は接地電位に保持される。この結果、キャパシタCはトランジスタ Q_{11} を介して充電され、ノード N_2 の電位すなわち電圧 V_0 は $V_{00} - V_{1k}$ となる。従って、この場合、メモリセル C_{00}, C_{01} への供給電圧 V_{000} は $V_{00} - 2V_{1k}$ というローレベルになる。

次に、ワード線 WL_1 が選択されると、切替回路3-0に於いて、ブートストラップ効果が発生する。すなわち、電圧 V_{w0} がハイレベルからローレベルに変化してトランジスタ Q_{11} がカットオフすると、ノード N_1 がトランジスタ Q_{11} を介して充電されるに従い、ノード N_2 の電位すなわち電圧 V_0 は押上げられて電圧 V_{00} より高くなる。この結果、供給電圧 V_{000} は V_{00} というハイレベルとなる。すなわち、ワード線電位 V_{w0} に応じて、2つの供給電圧 $V_{00} - 2V_{1k}$, V_{00} がメモリセル C_{00}, C_{01} に対して切替えられたことになる。ワード線電位 V_{w1} についても同様である。

また、メモリセルの負荷に使用されているMDSトランジスタの電流特性は、この場合には、単純

に表わせれば、 $I_D = K (V_0 - 2V_{1k})^2$ の関係にあるとみてよい。従って、たとえば、 $V_{00} = 5V$, $V_{1k} = 1V$ であれば、上述のように、供給電圧 $V_0 (= V_{00})$ を供給電圧 $V_L (= V_{00} - 2V_{1k})$ とした場合に、非選択時の電流 I_L と選択時の電流 I_H との電流比 I_L/I_H は、

$$\frac{I_L}{I_H} = \frac{(V_L - 2V_{1k})^2}{(V_H - 2V_{1k})^2} = \frac{(V_{00} - 4V_{1k})^2}{(V_{00} - 2V_{1k})^2} = \frac{(5-4)^2}{(5-2)^2} = \frac{1}{9}$$

であり、つまり、非選択ワード線に接続されたメモリセルにおいて消費電力が約1/10となる。

なお、上述の実施例に於いては、メモリセルの供給電源電圧をワード線の選択、非選択に応じて切替えているが、メモリセルの供給電源電圧をビット線対の選択、非選択に応じて切替えることもできる。

以上説明したように本発明によれば、非選択時のメモリセルの供給電源電圧を小さくして、メモリセルの消費電力を低減させているので、スタティクRAM全体の消費電力を低減させることがで

き、前述の従来形における問題点の解決に役立つものである。

4. 図面の簡単な説明

第1図(A)、第2図(A)および第3図(A)は一般的なMOSスタティックRAMのメモリセルを示す回路図、第1図(B)、第2図(B)および第3図(B)は第1図(A)、第2図(A)および第3図(A)のメモリセルの V_{DD} - I_{DD} 曲線図、第4図～第7図は本発明に係るスタティックRAMの電源供給方式の第1、第2、第3および第4の実施例を示すブロック回路図、第8図は第4図の詳細な回路図である。

1 : アコーデ

2 - 0, 2 - 1 : ドライブ

3 - 0, 3 - 1 : 供給電源切替回路

4 : 読出し/書き込み回路

$C_{00}, C_{01}, \dots, C_{0n-1}, C_{10}, C_{11}$: メモリセルの

特許出願人

富士通株式会社

特許出願代理人

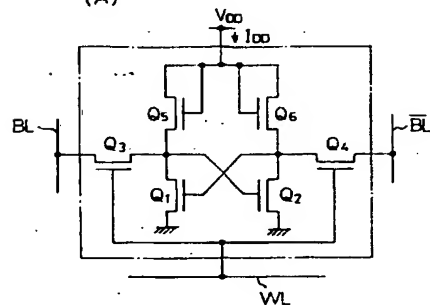
弁護士 青 木 朗

弁護士 西 館 和 之

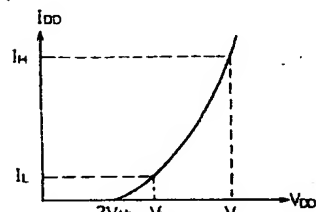
弁護士 内 田 幸 男

弁護士 山 口 昭 之

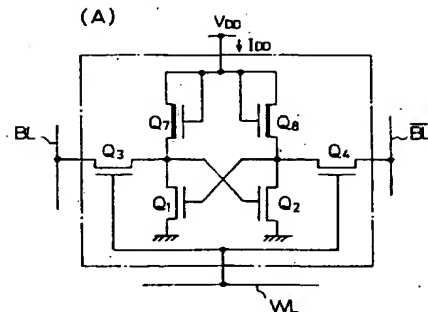
第 1 図
(A)



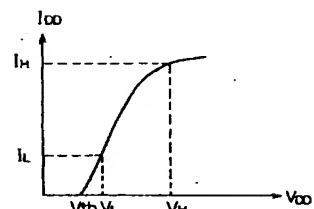
(B)



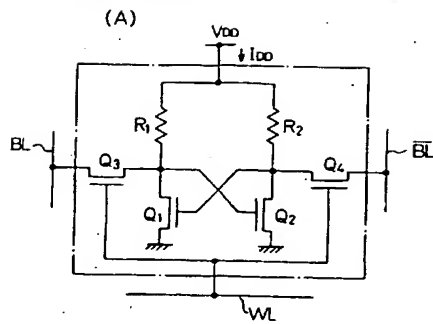
第 2 図
(A)



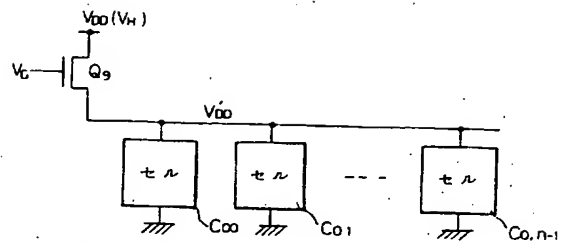
(B)



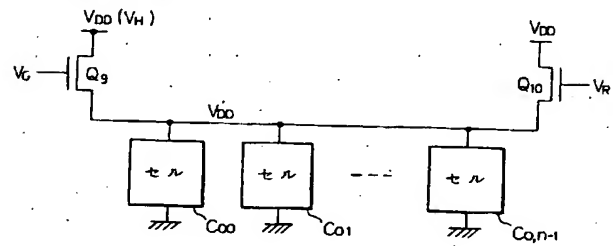
第 3 図



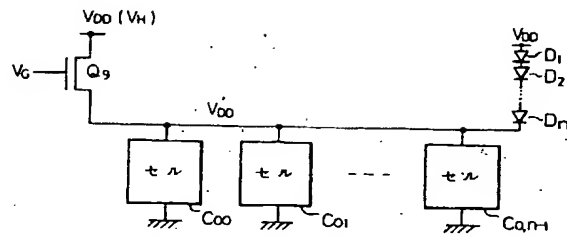
第 4 図



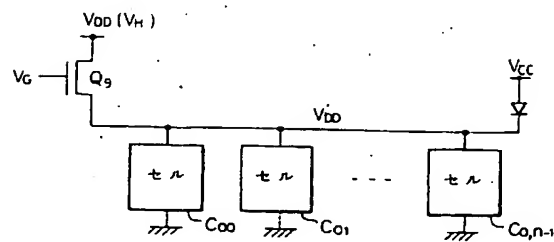
第 5 図



第 6 図



第 7 図



第 8 図

